

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-204435

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)8月17日

H 01 L 21/316

S-6708-5F

M-6708-5F

C-6708-5F※

審査請求 未請求 請求項の数 9 (全13頁)

⑮ 発明の名称 集積回路の製造方法

⑯ 特 願 昭63-320802

⑰ 出 願 昭63(1988)12月21日

優先権主張 ⑱ 1987年12月28日 ⑲ 米国(U S) ⑳ 138633

- ⑳ 発 明 者 レイモンド エイチ アメリカ合衆国, 18052ペンシルバニア, ホワイトホー
ド克蘭 ル, ベルビュー ドライブ 1941,
- ㉑ 発 明 者 エドワード ボール アメリカ合衆国, 18017ペンシルバニア, ベツレヘム, グ
マーティン ジュニア リーンウッドアベニュー 439
- ㉒ 出 願 人 アメリカン テレフォ アメリカ合衆国, 10022 ニューヨーク, ニューヨーク,
ン アンド テレグラ マディソン アヴェニュー 550
フ カムパニー
- ㉓ 代 理 人 弁理士 三俣 弘文
最終頁に続く

明 細 書

1. 発明の名称

集積回路の製造方法

2. 特許請求の範囲

(1) (a) 基板の露出表面部分に第1の酸化物層を成長させる工程、前記第1の酸化物層は欠陥構造を含む;

(b) 前記第1の酸化物層上に誘電体層を形成する工程、前記誘電体層は酸化種に対して透過性の組成物からなり、前記誘電体層は欠陥構造を含み、前記第1の酸化物層と前記誘電体層との二重層構造はこれらの層の間に面成される界面を含むことからなる、殆ど応力のない界面が層間に形成されている、基板上に成長された薄い平面状の酸化物層を有する集積回路の製造方法であって、

前記誘電体層および第1の酸化物層を通して酸化種を拡散させることにより前記第1の酸化物層の下部に第2の酸化物層を成長させ、前記第2の酸化物層は比較的薄い層であり、この層は前記基板と殆ど平面状の応力のない界面を形成する工

程を更に含むことを特徴とする集積回路の製造方法。(2) 前記工程(b)の実施において、前記誘電体層の欠陥構造が工程(a)で成長された第1の酸化物の欠陥構造と不整列になるように誘電体層を形成させることを特徴とする請求項1記載の集積回路の製造方法。

(3) 工程(b)の誘電体層は蒸着酸化物層からなることを特徴とする請求項1または2記載の集積回路の製造方法。

(4) 工程(b)の実施において、酸化物はテトラエトキシシラン(TEOS)を分解する減圧化学的気相成長法により生成されることを特徴とする請求項3記載の集積回路の製造方法。

(5) 工程(b)の蒸着の実施において、蒸着温度は約625℃~750℃の範囲内であり、蒸着圧力は約150~400mTorrの範囲内であることを特徴とする請求項4記載の集積回路の製造方法。

(6) 工程(b)の実施において、誘電体層は蒸着シリコン窒化物層からなり、これは完全に酸化されてシリコンオキシ窒化物を生成することを特徴

とする請求項1または2記載の集積回路の製造方法。

(7) 工程(b)の実施において、誘電体層は蒸着ポリシリコン層からなり、これはその後酸化されることを特徴とする請求項1または2記載の集積回路の製造方法。

(8) 工程(c)の実施において、

(c₁) 基板を約750℃の雰囲気温度に曝露し；

(c₂) 雰囲気温度を約850～900℃の範囲内にまで上昇させ；

(c₃) 酸化種を含むガスを基板の周りの雰囲気中に導入し；

(c₄) 第2の酸化物層の所望の厚さについて予め規定された時間にわたって基板を酸素雰囲気中に維持し；

(c₅) 酸素雰囲気を除去し、雰囲気温度を約750℃にまで降下させ；そして、

(c₆) 基板を冷却する；

ことからなる請求項1記載の集積回路の製造方法。

(9) 工程(c₃)の実施において、ガス流は約20～55%の範囲内の酸素含有率を有することを特徴とする請求項8記載の集積回路の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は薄い酸化物領域を有する半導体集積回路の製造方法および該方法により製造された集積回路に関する。

〔従来の技術〕

集積回路の複雑性が高まるにつれて、回路内のデバイスの寸法は必然的に小さくなる。実際、集積回路技術は急速にサブミクロンオーダーのサイズに近づいている。一般的に、当業者ならば電界効果トランジスタのソース、ゲートおよびドレインのサイズの縮小を最初に考えるが、寸法を縮小しなければならぬデバイス素子には例えば、ゲート誘電体に通常使用される誘電体膜なども含まれる。現在、これらの大部分のデバイス素子の厚さとしては数十nm未満が望ましいとされている。しかし、ゲート誘電体が薄くなるにつれて、低欠

陥密度(D₀)および誘電体加工性を含む誘電体の品質の重要性がデバイス性能に対して高まる。言うまでもなく、低欠陥密度および誘電体加工性は他の集積回路においても重要である。

実際、VLSI回路では誘電体層の品質がデバイス性能を決定する主要なファクターになりつつある。ゲート電極に印加される電圧によりソースとドレイン領域との間のチャネル中の電流密度をコントロールする電界効果トランジスタ(FET)の場合、電極はコンデンサを含み、また、代表的な誘電体はシリコン酸化物である。ソースおよびドレイン領域がn形導電層を有する場合、正のゲート電圧(V_g)はチャネル中に陰電荷を含む。ゲート電圧が閾値電圧を超えると、チャネル中に電流が流れる。

理想的なFETでは、誘電体中に電流が流れず、かつ、誘電体中に電荷を蓄えられない状態であれば、ゲート電圧を恣意的に大きくすることができる。しかし、実際には、誘電体中にトラップされた電荷を除去すると、閾値電圧における電荷誘起

シフトにより動作が不安定となるので、電荷を除去することはできない。このシフトは次の説明により一層明確に理解することができる。トラップされた電荷による電圧シフトは Q_t/C に比例する。Q_tはトラップされた電荷であり、Cは容量である。酸化物膜の厚さが薄くなるにつれて電圧シフトも減少するが、トラップされた電荷の捕獲をスケーリングで一層小さな寸法にまで低下させる必要がない。実際、電荷のトラップおよび欠陥により誘起された絶縁破壊により薄い酸化物のスケーリングには限界が定められる。従って、最高のデバイス性能を得るには誘電体中の欠陥の数を最小にする必要がある。しかし、1983年に米国アリゾナ州のフェニックスで開催された第21回信頼性物理学シンポジウムの講演集の184～190頁にヤマベらは、シリコン酸化物膜の厚さが20nm未満になると、シリコン酸化物の膜厚が薄くなるにつれて欠陥密度(特に、ピンホール)が増大すると報告している。

少なくともSi集積回路については、シリコン

酸化物、 SiO_2 、が最も一般的に使用されている誘電体である。シリコン酸化物膜は熱成長または蒸着により形成することができる。シリコンの熱酸化は、酸化種の内方移動により駆動される酸化物/シリコン界面の反応を含む。従って、シリコン表面は引き続いて更新され、そして、バルク SiO_2 は、バルクと表面欠陥の大部分を除去するのに十分な酸素を有した状態で維持される。表面の不働態化は、安定な SiO_2 膜が形成されるのでハンドリング結合の数の減少によりバンドギャップ中の状態の数を減少させる。

蒸着フィルムは熱酸化物よりも一層急速に成長させることができるが、一般的に、蒸着フィルムの誘電体特性は熱成長酸化物膜の誘電体特性よりも劣る。例えば、蒸着酸化物は 5 cm^{-2} 超の高欠陥密度 D_0 、約 3 MV/cm の低ブレイクダウン領域 F_{db} 及び $10^{12}\text{ cm}^{-2}\text{ eV}^{-1}$ 超の高界面状態密度を有するので、誘電体として使用されることはなかった。しかし、低温プラズマ化学的気相成長法によりおおむね高品質の SiO_2 膜

が形成されることが報告された(1986年11月1日発行の応用物理学会誌、60、3138~3145頁参照)。界面トラップ密度は迅速な蒸着アニールにより減少された。その他の蒸着方法も一般的に、酸化物の密度を高めるため、および、電気的集積度を向上させるためにアニーリング工程を有する。しかし、その酸化物がゲート誘電体として使用される場合、期待したほどの良好な結果は得られない。

$\text{Si}_3\text{N}_4/\text{SiO}_2$ により形成されるような二重誘電体を形成することにより、蒸着酸化物中の高欠陥密度から生じる問題を多少なりとも解決しようとする試みがなされた。例えば、ワタナベらはIEEE国際信頼性物理学シンポジウム講演集(1985年)18~23頁に、酸化物の膜厚が $10\text{ nm} \sim 20\text{ nm}$ の範囲内の $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$ 構造体を製作したこと、この構造体の D_0 が 0.5 cm^{-2} で、 F_{db} が 9 MV/cm 超であることを報告している。下部の酸化物層は熱成長により形成し、次いで、 Si_3N_4 層

を蒸着し、そして部分的に酸化させた。二重誘電体構造の場合、漏れ電流が低く、かつ、ブレイクダウン電圧が高いが、 $\text{Si}_3\text{N}_4/\text{SiO}_2$ 界面はトラップとして作用する状態の密度が高い。窒化物は酸化種に対して不透過性なので、アニーリングによってこれらの状態を除去することはできない。更に、界面状態は電極バイアスを変化させることにより増やしたり、あるいは減らしたりすることができる。従って、これらは閾値電圧中の電荷誘起シフトおよびチャネル電導度の低下のためにデバイス動作を不安定にする。その結果、この二重誘電体はゲート誘電体としてばかりでなくその他の用途で使用する場合にも最適であるとはいえない。

従って、本発明の目的はゲート誘電体としてばかりでなくその他の用途にも最適な多層構造誘電体を提供することである。

【課題を解決するための手段】

前記目的は、第1の組成および第2の組成を有する第1の層および第2の層を基板上に形成し、

この第1の層と第2の層は界面と第1および第2の欠陥構造を有し、第1の層および第2の層中の欠陥は互いに不整列であり、そして、前記第1の層および第2の層を通して、前記基板と反応する種を該基板に拡散させることにより第1の層の下部に第3の層を成長させる工程からなる基板上に多層構造体を形成する方法、により達成される。

【作用】

第1の層と第2の層との間の界面はシンクとして機能し、そして、欠陥をトラップする。その結果、第3の層の成長中に第1および第2の層中の欠陥密度は減少される。一つの実施例では、第1の層と第2の層との間の応力吸収界面の存在下で第3の層の成長中に第2の層は緻密になる。

第3の層は基板と多層誘電体構造物との間に界面を形成する。第3の層の成長はほぼ平衡な条件中で生起する。そして、この層は優れた構造特性を有するので、応力のない、望ましい界面特性と電気絶縁性を有する平面的な基板/誘電体界面を形成する。好ましい実施例では、第1および第2

の組成は酸化物であり、基板はシリコンである。種は酸素であり、この酸素は基板と反応して二酸化シリコンを生成する。

特に好ましい実施例では、熱酸化物を成長させ、化学的気相成長 (CVD) 法により酸化物層を蒸着し、そして、酸化性雰囲気中でアニーリングして蒸着層を緻密にし、かつ、追加の酸化物を成長させることにより薄い酸化物が得られる。基板はシリコンである。熱成長酸化物および蒸着酸化物はそれぞれ第1の層と第2の層を形成する。追加の酸化物は第3の層であり、これは酸素が第1の層と第2の層を通過して基板に移動し、そこで基板と反応して酸化物を生成することにより形成される。この酸化物は典型的には 0.5 cm^{-2} 未満の低欠陥密度と、 10 MV cm^{-1} 以上の高ブレークダウン電圧を有する。実際、 0.1 cm^{-2} 未満の欠陥密度が得られた。

第1の工程は常用の乾燥酸化法を用いて 850°C ~ 1100°C の範囲内の温度で Si 基板上に SiO_2 層を成長させる。減圧またはプラズマに

よる CVD 法は蒸着酸化物と熱成長酸化物との間に界面を有する多孔質な酸化物層を堆積する。界面は応力吸収および応力緩和の双方に重要である。アニーリング工程中に新たに成長する SiO_2 は、蒸着層および熱成長層の多孔質構造体を通して Si/SiO_2 界面に種 (酸素) が拡散輸送されることにより形成される。しかし、蒸着層は欠陥のサイズが小さいので、アルカリ金属イオン輸送に対しては障壁となる。しかし、酸化物は酸素透過性なので、緻密化および酸化アニール中の電荷トラップはアニール化される。更に、第3の SiO_2 層は応力吸収構造によりもたらされたほぼ平衡な条件下で成長し、最小の粗さと応力勾配を有する Si/SiO_2 界面が形成される。

【実施例】

代表的な実施例は主に第1図を参照することにより説明する。詳細な実施例はこれに付随して例示し、説明する。この説明の後に、変更例およびその他の実施例を説明する。これら以外の実施例は当業者に自明なので説明は省略する。

第1図を参照する。シリコン基板1を使用する。厚さが約 5 nm の薄膜、すなわち熱酸化物の第1の層3を常法により成長させる。厚さが約 5 nm の酸化物層 (すなわち、第2の層5) はテトラエトキシシラン (TEOS) を減圧 CVD 法により分解蒸着させることにより形成される。二つの酸化物層間の界面は水平な破線により示されている。

第2の層5の蒸着温度は約 625°C ~ 約 750°C の範囲内である。蒸着圧力は $150 \sim 400 \text{ mTorr}$ の範囲内である。実施例で用いた温度は約 635°C であり、また、実施例で用いた圧力は 260 mTorr であった。

図示されているように、各層は多数の欠陥、すなわち、第1の欠陥構造と第2の欠陥構造を有する。これらはおおむね垂直な波線により模式的に示されている。欠陥は互いに不整列な位置に存在する。すなわち、各層中の欠陥は層3と層5の界面が末端となり、互いに連通することはない。欠陥は結晶転位、細孔などのような結晶完成からのいかなるタイプの偏りであってもかまわない。欠

陥は約 10 nm の平均内部欠陥間隔を有し、直径は約 10 nm 未満である。代表的な直径は約 1 nm である。

次いで、既に存在する酸化物および新たに成長する酸化物の双方にとって有益なアニーリング工程が実施される。このアニーリング処理は約 750°C の温度で開始され、そして、温度は $5^\circ\text{C}/\text{分}$ の速度で約 900°C にまで上昇される。 900°C の温度を約9分間維持し、続いて、約 $3.3^\circ\text{C}/\text{分}$ の速度で降下させる。雰囲気は酸素と窒素の混合物であり、酸素含有率は最高温度のときに最も高くなる。新たな酸化物層9は厚さ δ を有し、アニール中の SiO_2/Si 界面の移動距離である。層3と層9との間の界面は水平線で示されている。層3および層5は酸化種 (すなわち、酸素) の拡散輸送を可能にするものでなければならない。

図示された構造は、低欠陥密度の他、低酸化物電荷 (Q_f) および界面トラップ密度 (Q_{it}) を有する。閾値電圧の不安定性および表面生成や再結合速度の増加などに代表されるデバイス性能の

劣化は D_0 およびトラップ電荷 (Q_f および Q_{it}) の直接関連するものと思われる。

D_0 について得られた低い値は次の説明により一層明確に理解される。薄い酸化物ゲート誘電体の場合、 D_0 の主たる要因は成長により誘起された欠陥密度と酸化物層中の固有応力である。欠陥は、個在不純物、イオン損傷部位および緩慢な酸化によるシリコン核形成表面上の欠点などのようなエネルギー的に有利な部位に発生する。欠陥の周囲のシリコンが酸化により消耗されるにつれて、欠陥は外方へ成長し、そして最後には網状の欠陥が存在する。欠陥は拡散マス輸送用のパイプおよびデバイス性能と信頼性にかなりの影響力を有する潜在的な電流通路として見ることもできる。

低 D_0 を得るためには、欠陥密度を低下させなければならないばかりか、誘電体膜中に応力吸収界面を形成させることにより局所的な応力勾配を低下させなければならない。

SiO_2 膜中に応力が取込まれるのは、900℃未満の酸化温度における粘弾性圧縮応力の不完

下させることのできないトラップ密度が高い。従って、この構造体は、酸化物層が完全に消耗されてシリコンオキシ窒化物を生成しなければ、本発明では用をなさない。これに対し、熱成長/蒸着酸化物構造体は低欠陥密度を有するばかりか、アニーリングで除去することのできる界面トラップ密度も低い。これら二種類の二重誘電体間の挙動の相違は下記の説明により一層明確になる。

アニーリング中に、存在する酸化物を通して酸化種が拡散し、次いで、 Si/SiO_2 界面でシリコンと反応するにつれて、酸化物の成長が起こる。この酸化反応はシリコン基板中への界面移動を生じる。透過型電子顕微鏡の格子結像技術により、この移動が界面粗さと凹凸の数を減少させることが実験的に確認された。

酸化物中に欠陥が存在すると拡散による酸化剤の輸送が高められる。すなわち、欠陥は酸化剤の通路を提供する。新たに成長した SiO_2 は、その成長が応力クッションとして機能する界面によりもたらされた応力吸収条件下で起こるので、熱

全な緩和および SiO_2 と Si との間の熱膨張の差によるものである。更に、複雑なデバイス配置と加工によりしばしば欠陥の形成と成長を誘起する局所的に高い応力レベルが発生され、その結果、欠陥のサイズと密度が増大される。界面は二種類のタイプの酸化物（例えば、第1図で説明したような熱酸化物と蒸着酸化物）のような二つの異なる誘電体間に存在する。界面は欠陥構造中に不連続性を形成することにより欠陥密度を効果的に減少させる。二つの誘電体中の欠陥が一行に並んで互いに連通している場合、すなわち、欠陥が不整列でなく、かつ、不連続性でない場合、界面は有効欠陥密度を減少させる効果を有しない。

好ましい実施例では、界面は熱成長 SiO_2 と蒸着 SiO_2 との領域間に形成される。界面は応力を吸収すると共に、緩和もする。また、二つの酸化物層内の欠陥シンクとしても機能する。

あらゆる組合わせの誘電体が発明で有用なわけではない。例えば、 SiO_2/Si_3N_4 構造体は低欠陥密度を有するが、アニーリングでは低

成長および蒸着酸化物よりも構造的に優れている。界面はまた、欠陥シンクとして、および、大気雰囲気から Si/SiO_2 界面へのアルカリ金属イオンの拡散輸送の障壁としても機能する。緻密化アニール中の酸化反応は界面トラップ数の減少と共に、同時に、界面応力勾配、粗さおよび凹凸数も減少させる。本実施例では、この緻密化により全体の厚さが約15nmの酸化物が形成された。酸化剤ガス相中の酸素分圧を低下させることにより一層薄い膜を得ることもできる。

これに対して、 Si_3N_4/SiO_2 構造体は酸化剤の拡散に対して不伝導性である。酸化アニール中、 Si_3N_4 の表面は酸化され、界面に酸化剤を全く輸送することなくシリコンオキシ窒化物を生成する。従って、酸化アニール後も界面状態の密度はこの二重誘電体膜中に変化しないまま残る。更に、 Si_3N_4 層は酸化種の拡散輸送に対して比較的の不透過性なので、緻密化アニール中に界面酸化が全く起こらず、界面粗さや凹凸数は殆ど減少されない。

若干の変更を試みた。表面の酸化物は別の方法により形成することもできる。例えば、ポリシリコン層を蒸着し、そして酸化させるか、または、薄い窒化物層を完全に酸化させる。その他の変更は当業者が容易に想到することができる。

次に、本発明の具体例について説明する。

第1図に示された構造体を多数のSi基板上に形成させ、その特性を様々な方法により試験した。基板は $p/p^+ < 100 >$ 配向の直径125nm、厚さ625 μ mで固有抵抗が0.006~0.010 Ω -cmのものを使用した。厚さ18.5 μ mのp形エピタキシャル層のボロン濃度は $2 \sim 5 \times 10^{14} \text{ cm}^{-3}$ (15~20 Ω -cm)の範囲内であった。

FdbとD₀についてゲート酸化物特性を評価するのに使用した試験構造体はエル・シー・バリロらがIEDMテクニカルダイジェスト(1980年)の752~755頁に記載したフィン・タブCMOSテクノロジーと同様なものであった。薄いゲート酸化物領域を厚さ700nmの電界酸化

物(FOX)層と、950℃で加熱することにより成長させた厚さ100nmの犠牲ゲート酸化物層により画成した。犠牲ゲート酸化物層は後記のゲート酸化前に化学的に剥離した。ゲート酸化の後、厚さ420nmのLPCVDポリシリコン層を蒸着し、続いて、PBr₃によりポリシリコン層の950℃気相ドーピングを行い、代表的な20 Ω /cm²のシート抵抗を得た。ゲート薄膜酸化物領域を覆い、かつ、FOX上に数ミクロンまで重複する網線を使用し、ドーブトポリシリコン層をパターン付けした。

C-V測定には非パターン化基板を使用し、そして、標準的な予備酸化クリーニングの後、全基板上に酸化物の薄膜を成長させた。酸化後、厚さ420nmのLPCVDのポリシリコン層を蒸着し、そして、リンでドーブした。直径が1~2 μ mのシャドウマスクアルミニウムドットを前側に蒸着し、375℃で30分間焼結させた。次いで、エッチングマスクにアルミニウムを用いてポリシリコン層を選択的にエッチングした。裏側のドー

ブトガラスを剥離した後、厚さ100nmのアルミニウム層を該裏側に蒸着し、基板接点を作製した。

Si/SiO₂界面品質および薄い酸化膜の構造特性をX線マイクロ回折(XRMD)によるSi(400)ピーク分布と、透過型電子顕微鏡(TEM)による界面のSi(111)格子結像により確認した。また、Si-O振動モードのフーリエ変換赤外分光光度計(FTIR)依存性波長もXRMDテクノロジーにより併せて測定した。

厚さが10、15および25nmの堆積ゲート酸化膜を、通常の熱酸化により成長させた同じ膜厚のゲート酸化膜と、構造特性および電気特性について比較した。

これら酸化物のデバイス加工可能性はメガビットDRAM(1.25 μ m技術)および64KSRAM(0.9 μ m技術)回路の製造の成功により実証された。

常用の酸化方法は、(a) 5:1 H₂SO₄/H₂O₂ (90℃); (b) NH₄OH/H₂O₂

(85℃); および(c) 15:1 HF/H₂O (25℃)の溶液中で連続的に洗浄、すすぎおよび乾燥することにより有機および無機不純物を除去する標準的な予備酸化洗浄を含む。この予備酸化洗浄方法は当業者に周知である。酸化は石英またはSiCチューブと水含有石英ボートを保持するパドルを使用する三面抵抗加熱炉で行われる。温度制御のために炉ライナーの外側に3個の熱電対を使用した。第2の熱電対群(ライナーと炉チューブとの間)は温度分布と水温校正のために使用した。マイクロプロセッサによる温度コントロールは自動的に行った。また、マイクロプロセッサは特定の温度で所定の時間間隔について順序とガス流量を自動的にコントロールした。フルランブスパン中75cm以上は平坦ゾーンの温度を±1℃の範囲内に維持した。

第1のSiO₂成長用の一般化された熱スケジュールとガス流れ順序を第2図を参照しながら説明する。横軸に時間をプロットし、縦軸に温度をプロットした。縦軸および横軸とも任意単位であ

る。酸化サイクルは時間 t_1 で開始され、不活性 ($100\% Ar$) または僅かに酸化性 (大部分は Ar であるが若干量の $O_2 : HCl$ が混合されている) の雰囲気下で温度 T_1 ($750^\circ C$) でボートを時間 t_2 まで10分間挿入し、続いて $5^\circ C$ /分の速度で温度を徐々に、時間 t_3 で $950^\circ C$ の平坦ゾーン温度 T_F まで上昇させた。この時点で、酸化剤 ($O_2 : HCl$) の含有率をキャリアガスの Ar に対して増大させ、 $1.0 \sim 1.5 nm$ /分の平均成長速度を得た。

成長温度 T_F ($950^\circ C$) における恒温保持時間 $t_3 \sim t_4$ を変化させ、厚さが $3.5, 5.0, 10.0, 15.0$ および $25.0 nm$ の熱成長 SiO_2 膜を得た。時間 t_4 で SiO_2 成長が完了した後、時間 $t_4 \sim t_5$ まで45分間にわたって $100\% Ar$ 中で酸化物を後酸化アニール処理した。続いて、 $3.5^\circ C$ /分の速度で時間 t_6 で $750^\circ C$ の温度まで徐々に降下させた。不活性雰囲気下で冷却される場合、この温度で、ボートを恒温条件下で t_7 まで移動させた。次いで、第2

の SiO_2 膜を蒸着するために LPCVD に移送した。前記の後酸化アニール処理は、ブレークダウン電界分布を改善し、かつ、酸化物中の固定電荷 (Q_f) をコントロールするために、 SiO_2 ゲート酸化膜にとって必要である。これらの詳細な説明は例えば、エム・アリエンゾらがアップライド フィジックス レター、49, 1040~1042頁 (1986年10月20日発行) に掲載した論文に開示されている。

成長 SiO_2 層上への LPCVD SiO_2 の蒸着は、 $635^\circ C$ における $TEOS$ の熱分解により $0.02 Torr$ の圧力で行った。蒸着装置はエー・シー・アダムスとシー・ディー・キャピオがジャーナル オブ エレクトロケミカル ソサエティー、126, 1042~1046頁 (1979年6月発行) に詳細に開示した LPCVD 装置と同様な装置であった。代表的な蒸着順序により、熱成長 SiO_2 を有するウェハをローディングし、そして、反応チューブを $0.02 Torr$ まで排気した。ローディング後、直ちに $70^\circ C$ の温度降下が

一般的に認められ、そして、基板が熱平衡に達するまでには一般的に $40 \sim 50$ 分間のソーキング時間が必要であった。 $0.02 Torr$ におけるソーキングの最初の10分間が経過した後、温度を安定化させながら32分間にわたって小さな流量 ($0.5 l$ /分) の O_2 で装置をバージした。次いで、この装置を $0.02 Torr$ で更に4分間ソーキングした。ソーキング後、直ちに $TEOS$ 蒸気を導入した。液状 $TEOS$ 源の温度 (一般的には $35^\circ C$) により流量をコントロールした。温度コントローラにより最適な条件と $1.4 nm$ /分の蒸着速度を維持した。キャパシタンス圧力計のバクフライ弁を使用した圧力コントローラ装置により SiO_2 蒸着中の LPCVD 圧力を $0.02 Torr$ に維持した。熱分解温度 $635^\circ C$ は炉温度コントローラにより維持した。膜均一性および SiO_2 蒸着速度に影響を及ぼすことのできる別の変数である内部ウェハ間隔は $0.95 cm$ であった。 $5 nm$ の厚さの蒸着酸化物を得るには、 3.8 分間の蒸着時間が必要であった。均一性を犠牲にす

ることなく蒸着速度を更に低下させることは、蒸着温度および/または液状 $TEOS$ 源温度を低下させることにより容易に達成することができる。蒸着の終了時点で、バクフライ弁を閉じ、そして、この反応炉を $0.02 Torr$ まで3分間排気した。ついで、この装置を $0.5 l$ /分で8分間 O_2 でバージし、未分解 $TEOS$ をチューブから除去した。次いで、このチューブを N_2 で再び満たし、そして、ウェハを取り出した。

最終工程は緩和な酸化性雰囲気下における緻密化アニールである。この処理工程中、ほぼ平衡な条件中で新たな SiO_2 層が成長し、 Si/SiO_2 界面中のトラップ、応力均配および凹凸を減少させる。緻密化アニールは前記と同じ三面抵抗加熱酸化炉中で実施される。

マイクロプロセッサでコントロールされた熱予定プログラムは第2図に示されている。緻密化サイクルは T_1 ($750^\circ C$) で開始され、時間 $t_1 \sim t_2$ の10分間の間にボートは移動され、続いて、 $5^\circ C$ /分の速度で平坦ゾーン酸化温度 T_F ($950^\circ C$) まで上昇させ、時間 $t_3 \sim t_4$ の10分間の間にボートは移動され、続いて、 $3.5^\circ C$ /分の速度で温度を徐々に、時間 t_5 で $750^\circ C$ の温度まで徐々に降下させた。不活性雰囲気下で冷却される場合、この温度で、ボートを恒温条件下で t_6 まで移動させた。次いで、第2

900℃)まで時間 $t_2 \sim t_3$ の3分間かけて温度を上昇させた。この期間中のガス流れ条件は N_2 と O_2 の流量をそれぞれ18ℓ/分と2ℓ/分の一定にすることにより維持した。 Si 基板に被覆された厚さ10nmの堆積酸化物を緻密化している間に厚さ5nmの SiO_2 層が成長する場合、酸化剤($O_2:N_2$)気相中の O_2 含有率が54%で9分間のアニール時間を使用した。一層薄い(すなわち、10nm未満)酸化物の場合、全体の厚さを制限するために、シリコン基板に被覆された厚さ7.5nmの堆積酸化物上に厚さが2~3nmの SiO_2 層を成長させた。この成長は、酸化剤中の O_2 の容量含有率を10%にまで低下させ、および/または、酸化時間 $t_3 \sim t_4$ を短縮することにより行われた。最後の酸化物が Si/SiO_2 界面の一体的部分を構成するので、緻密化アニール中少なくとも2.5nmの SiO_2 を成長させることが望ましい。更に、界面粗さおよび応力勾配の最適な減少は $\delta < 2.5$ nmについては不可能である。緻密化の後、直ちに基板温度

を3.3℃/分の速度で時間 t_5 において750℃にまで降下させ、そして、ボートを時間 $t_5 \sim t_7$ の間に所定の速度で炉から取り出し、続いて N_2 でパージしながら炉を冷却した。

構造および電気特性決定

(i) 酸化物膜厚

酸化物の膜厚の測定は548.1nmの波長で偏光解析法により行った。1100 cm^{-1} バンドの $Si-O$ スペクトルのフーリエ変換赤外分光光度計(FTIR)を用いてボア密度および $Si-O$ バンド歪により酸化物の品質を確認した。第3図は緻密化の前と後の多層堆積酸化物の代表的なFTIR吸収($Si-O$)スペクトルを示す。横軸に波数をプロットし、縦軸には吸光度をプロットした。曲線31は緻密化前のものであり、曲線32は緻密化後のものである。スペクトルの相違は緻密化中の SiO_2 成長の直接的な目安である。全ピーク幅は、同様な膜厚の層と比較した場合、 D_0 が最良な熱酸化物のピーク幅よりも小さいかまたは同等である。

(ii) 応力測定

酸化膜中の応力を反映する、 Si/SiO_2 界面に近いシリコン層中の応力は、1986年12月30日にビー・ケー・ロイに付与された米国特許第4631804号明細書に開示されたX線マイクロ回折法(XRMD)を用いる $Si(400)$ 、 2θ ブラッグピーク分布により測定した。 SiO_2/Si 中の任意の局所位置の回折信号は透過深度8 μm 以内の直径30 μm の平行 $CuK\alpha$ X線から発生された照射容量の平均容量値である。信号捕集を高めるために、マイクロ回折計はスリットと、従来のXRDにおけるような回折デバイスの一部分でなく、その全てを集める検出装置を使用している。この技術はピーク分布における微小で、とらえにくい変化を検出するのに極めて有用である。 $Si(400)$ 、 2θ ピーク位置は(400)平面の面間隔(d)の直接的な目安である。 2θ の非応力値からの逸脱は、シリコンの弾性剛性値を用いて SiO_2/Si の回折値からシリコン(σ_{Si})中の応力に関係づけられた格子膨張 Δd

($dd\theta$)の目安である。エッチ・イエチおよびエス・ストーリーは、1984年9月に発行された応用物理学会誌、V-23、L743~L745頁に、格子間隔中に認められた変化から σ_{Si} への前記変換を開示した。更に、ピーク幅は結晶サイズおよび欠陥状態に関するシリコン構造体の知見を与える。

第4図は様々な合成段階における多層堆積 SiO_2 膜の $Si(400)$ 、 2θ ピーク位置を示す。ピーク位置を横軸にプロットし、縦軸に強度を任意単位でプロットした。曲線41、42、43および44は、熱 SiO_2 膜、熱/蒸着膜、アニール後の構造体および単結晶シリコンをそれぞれ示す。分布図(1)(100Å熱 SiO_2/Si)は69.1000°のピーク位置を示す。この値は下記の式による $2.71 \times 10^9 \text{ dyn} \cdot \text{cm}^{-2}$ の引張応力に対応する。

$$\sigma_{Si} \approx \frac{E}{1-\gamma} \times \frac{\Delta d}{d_0} = \frac{E}{1-\gamma} \left(\frac{\sin \theta_0}{\sin \theta} - 1 \right)$$

前記式中、 Si の場合、 $E/(1-\gamma) = 2.2$

$6 \times 10^{12} \text{ dyn} \cdot \text{cm}^{-2}$ であり、 $2\theta_0 = 69.1970^\circ$ である。

同様に、10 nm 成長 / 10 nm TEOS SiO_2 蒸着堆積 SiO_2 構造体の緻密化前のピーク位置は 69.3200° であり、この値は $3.6 \times 10^9 \text{ dyn} \cdot \text{cm}^{-2}$ の圧縮応力に対応する。緻密化後、この構造体は 10 nm 成長 / 10 nm 蒸着 / 5 nm 成長の構成となり、曲線 43 で示されるように、応力 ($2\theta = 69.2000^\circ$) が事実上ゼロとなる。比較用の 25 nm 熱 SiO_2 膜を有する同等な対照構造体は界面近くのシリコン中に約 $0.9 \times 10^9 \text{ dyn} \cdot \text{cm}^{-2}$ の引張応力値を示した。Si / SiO_2 界面付近の σ_{Si} がほぼゼロの値になるまで低下する同様な傾向は 15 nm および 10 nm 堆積 SiO_2 膜について認められた。これらの測定結果を下記の表 1 に要約して示す。

表 1
Si (400) ピーク分布からの応力データ

酸化物加工 / 初期厚さ	Si (400) ピーク分布		Si 中の応力 (10^9 dyn/cm^2)	
	位置, 2θ	幅, β	位置, 2θ	幅, β
(i) 熱 SiO_2				
6 nm	69.0200	0.7520	75	
10 nm	69.1000	0.7400	4.71	
15 nm	69.1400	0.7360	2.58	
25 nm	69.1600	0.7300	1.80	
(ii) 堆積酸化物 (成長 / 堆積)				
5 nm / 3 nm	69.2620	0.7870	03	
5 nm / 5 nm	69.2840	0.7700	2.48	
5 nm / 10 nm	69.3240	0.7620	2.61	
(iii) 堆積酸化物 (成長 / 成長)				
5 nm / 30 / 20	69.1820	0.7500	44	
50 / 50 / 50	69.1830	0.7480	0.20	
100 / 100 / 50	69.2050	0.7420	0.44	
(100) Si 無応力	69.1875	0.7150	0.0	

表 1 に示された結果から明らかなように、 σ_{Si} は著しく減少されている。従って、 SiO_2 膜の連続的な成長・蒸着・成長による界面応力も著しく減少される。Si / SiO_2 界面を構成する、緻密化中に成長する SiO_2 膜の最終形成工程は成長および蒸着 SiO_2 膜間の仮の界面によりもたらされる最良な起こりうる応力吸収環境下では平衡な状態を形成する。

(iii) Si / SiO_2 界面の格子結像

透過型電子顕微鏡を用いて界面粗さと凹凸を観察した。測定用検体は、堆積酸化物および同等な厚さの熱酸化物類似品について、厚さ 150 ~ 250 nm まで、Si / SiO_2 断面をアルゴンイオンフライス削りにより 110 面方向と平行に劈開することにより作製した。Si / 堆積 SiO_2 膜の界面粗さは 1 nm 未満であり、比較例の Si / 熱 SiO_2 界面の粗さは約 3 nm であった。熱 SiO_2 の界面付近に認められるシリコン膜の比較的大きなコントラスト変動は応力勾配および局在的な歪場によるものである。緻密化前に、蒸着

および成長 SiO_2 膜間に存在する界面ははっきりと視認することができ、また、これは明るい電界結像条件下における堆積 SiO_2 誘電体膜の特徴である。

(iv) 絶縁破壊および欠陥密度

絶縁破壊 (bd) 試験は第 1 図に示されるような構成を有する構造体について実施した。試験方法としては、試験 MOS コンデンサー (620 m^2) の両端に負のランプ速度または同等な階段電圧を印加することからなる。p 基板に関する負極性はコンデンサを蓄積させ、その結果、表面の凹凸およびシリコン領域中の電圧損失の両方を最小化する。この方法は 1986 年に発行された MRS シンポジウム議事録の 505 ~ 512 頁に掲載された、ティー・エヌ・スグエンおよびディー・エル・クインランによる「シリコン IC 加工における材料特集」というタイトルの論文中に開示されている。コンデンサの両端の漏れ電流は漏れ電流が $1 \mu\text{A}$ に達するまでに印加された電圧の関数として測定した。現在の技術により、自己回復作

用と、破壊bd（ファウラー・ノルドハイムの酸化物へのトンネル）発生の両方を記録した。高いレベルの信頼性を得るために、各試験毎に約2000個のコンデンサを用いてテストを行った。このような広範囲な測定は欠陥密度 D_0 の僅かな変化を決定するのに絶対必要である。この測定により得られたデータを、 $1\mu\text{A}$ 漏れ電流および電界 $>4\text{MV cm}^{-1}$ 下における破壊bd基準の場所合格百分率の形で、分布プロットとして図示した。これらは第5図の模式的に示されている。曲線(1)および(2)はそれぞれ、 $1\mu\text{A}$ 漏れ電流と破壊bdを示す。欠陥密度 D_0 は、次式

$$Y = \exp(-A \times D_0)$$

(ここで、 $A = 0.082\text{ cm}^2$ である)を用いて $1\mu\text{A}$ 漏れ電流基準に関する計算データから得られる。

第6図の(A)、(B)および(C)はそれぞれ、10、15および25nm堆積および熱 SiO_2 膜における破壊bd基準に関する代表的な分布プロットを示す。累積可能性は横軸にプロット

し、電圧は縦軸にプロットした。堆積酸化物構造体は実線で示し、熱酸化物構造体は破線で示した。膜厚が10および15nmの全ての誘電体膜について合成堆積 SiO_2 膜の D_0 およびYの著しい改善が表されている。 D_0 およびFbdに関するデータを包括的に要約して下記の表2に示す。

(以下余白)

表2

酸化物加工/初期厚さ	酸化物厚さ(nm) 平均±5	Fbd, 絶縁破壊電界(MV/cm) 1 μA 漏れ電流基準	欠陥密度 D_0 (/cm ²)
堆積 SiO_2 (成膜/蒸着/成膜)	24.8±5	8.6	0.30
堆積酸化物 (成膜/蒸着/成膜)	25.0±5	9.0	0.07
堆積酸化物 (成膜/蒸着/成膜)	14.7±3	8.8	0.14
堆積酸化物 (成膜/蒸着/成膜)	9.8nm SiO_2 / 10.1nm Si_3N_4	12.0	0.18
10nm堆積酸化物 (成膜/蒸着/成膜)	107±2	8.8	0.45

15年前に報告された結果に基づく様々な薄いゲート誘電体に関する D_0 の比較用バレートパース線図は、本発明の堆積 SiO_2 膜の低欠陥密度が二重 $\text{Si}_3\text{N}_4/\text{SiO}_2$ 誘電構造体だけが可能であると以前から思われてきたものと同等か、あるいはこれよりも優れていることを示している。本発明の構造体は $\text{Si}_3\text{N}_4/\text{SiO}_2$ 界面に伴う高トラップ密度を有しないという重要な利点がある。

(v) キャパシタンス-電圧(C-V)特性

高周波C-V測定値は、-2Vから+10Vまで、その後、-5Vにまで戻すように電圧を掃引することにより得た。ヒステリシスは全て表面状態の存在を示す。酸化物のC-V安定性は 2MV cm^{-1} で250℃の温度で酸化物を10分間バイアス-温度-応力付加(BTS)を行い、そして、フラットバンド電圧シフト(ΔV_{FB})とトラップされた電荷状態(Q_f と Q_{it})の変化をモニターすることにより測定した。一層負な値へのフラットバンドシフトは Si/SiO_2 界面におけ

る正電荷の蓄積を意味する。この蓄積は通常、酸化膜中の移動イオン汚染および／または基板からの正孔注入によるものである。同様に、一層陽な ΔV_{FB} はおそらく基板からの電子注入によるものであろう。

厚さ100Åの堆積および／または熱成長 SiO_2 膜と100Å SiO_2 ／100Å Si_3N_4 二重誘電体から形成したMOSコンデンサのC-V特性のバイアス-温度-応力試験により、堆積酸化膜は事実上、不安定性を全く有しておらず、また、熱 SiO_2 対照膜は極僅かなフラットバンド(f b)電圧シフト(-0.03V)を有することが示された。比較例では、二重誘電体から作製されたMOSコンデンサは-0.07Vのかなり大きな ΔV_{fb} を示した。これも、界面における正電荷(移動イオン)の著しい蓄積により起こったものである。空乏領域付近のC-V曲線における非対称はおそらく大きな界面トラップ密度によるものであろう。低周波(準スタティック)C-V曲線はMOSコンデンサの両端に一定のランブ

電圧(ランブ速度は30~300mV/sec)を印加し、250℃で電位計により変位電流を測定することにより得た。変位電流は直接調整されて、キャパシタンスを生成した。様々な厚さの薄い堆積および熱酸化膜のMOSのC-V測定結果を下記の表3に要約して示す。

(以下余白)

表3 MOSキャパシタンス-電圧結果

ゲート誘電体 初期厚さ	トラップ電荷 ($Q_f + Q_{it}$) ($\times 10^{10}/cm^2 \cdot ev$)	フラットバンド 電圧, V_{FB} (V) ($\times 10^{-2}$)	フラットバンド 電圧シフト ΔV_{FB} (V) ($\times 10^{-2}$)	移動イオン濃度 NaI ($\times 10^{10}/cm^3$)
10nm熱 SiO_2	1.4	-0.87	0.03	4.53
(10nm熱 SiO_2 / 10nm熱 Si_3N_4)	3.0	-0.85	0.01	1.51
(15nm熱 SiO_2 / 10nm熱 Si_3N_4)	9.0	-0.88	0.03	4.05
(15nm熱 SiO_2 / 10nm熱 Si_3N_4)	0.6	-0.78	0.00	0.55
二重誘電体 (10nm熱 SiO_2 / 10nm熱 Si_3N_4)	15.5	-0.70	-0.07	8.10

250Åと150Åのゲート酸化物をそれぞれ使用し、1.25μmと0.9μmテクノロジーによりデバイス製造した。堆積ゲート酸化物を用いて製造されたトランジスタはn-およびp-チャネル増大モードの両方において正常な出力と増幅特性を示した。1.25μmおよび0.9μmテクノロジーの両方においてこれらの堆積ゲート酸化物を使用することにより達成されたデバイス歩留りおよび回路性能は対照の酸化物により達成された歩留りや性能よりも優れていた。

〔発明の効果〕

以上説明したように、本発明の方法によれば、堆積酸化膜の形成後にアニール処理をすることにより第3の膜を生成する。これにより、既に存在する酸化膜が緻密化されて、欠陥密度が低下するばかりか、酸化物電荷および界面トラップ密度も低下し、優れた性能の集積回路を得ることができるようになる。

4. 図面の簡単な説明

第1図は本発明のよる構造体の模式的断面図で

ある。

第2図は酸化工程の一般的な熱履歴を示す。

第3図はアニール前と後の酸化物の代表的なFTIR吸収(Si-O)スペクトルを示す。

第4図はX線マイクロ回折により得られたSi(400), 2θ , ピーク位置をプロットした図である。

第5図は本発明の酸化物について、横軸に累積破壊率をプロットし、縦軸に絶縁破壊電圧をプロットした特性図である。

第6図は破壊的絶縁破壊について横軸に累積破壊率をプロットした特性図である。

出願人：アメリカン テレフォン アンド
テレグラフ カムパニー

代理人：三 俣 弘 文



FIG. 1

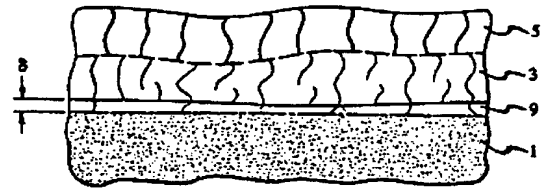


FIG. 2

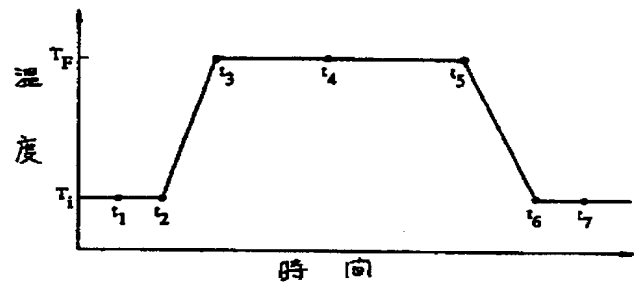


FIG. 3

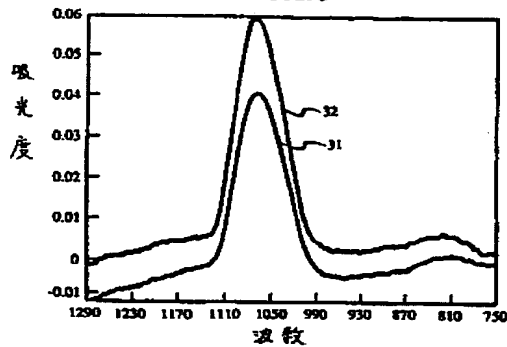


FIG. 4

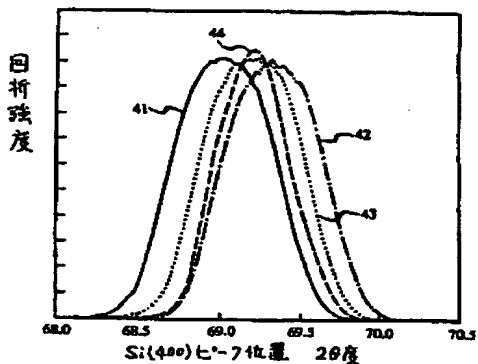


FIG. 5

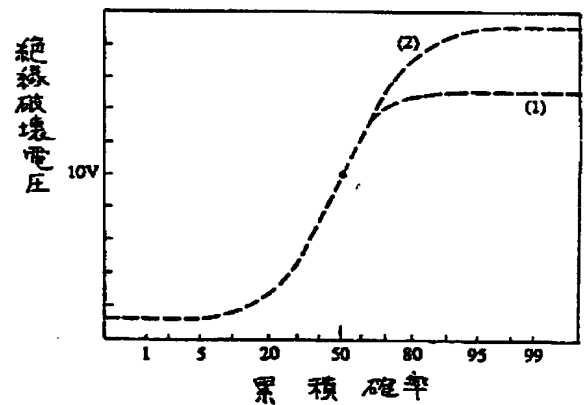
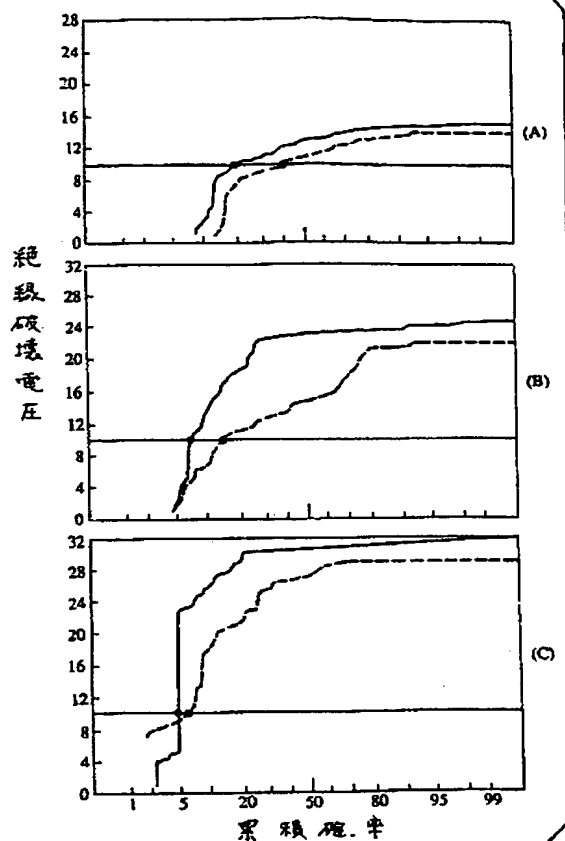


FIG. 6



第1頁の続き

⑤Int. Cl. 4

H 01 L 21/318

識別記号

庁内整理番号

C-6708-5F

- | | | |
|------|--------------------|---|
| ②発明者 | ブラディツブ カマー
ロイ | アメリカ合衆国, 18013ペンシルバニア, アレントウン,
リバーベンド ロード 2102 |
| ②発明者 | スコット フランシス
シャイブ | アメリカ合衆国, 18017ペンシルバニア, ベツレヘム, ク
アーリー ドライブ 1420 |
| ②発明者 | アシヨク カマー シ
ンハ | アメリカ合衆国, 18013ペンシルバニア, アレントウン,
ビシヨツブ ロード 2281 |